

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

✓
[Signature]

PATENT ABSTRACTS OF JAPAN

(11)Publication number: **08087957**(43)Date of publication of application: **02.04.1996**

(51)Int.Cl.

H01J 1/30

(21)Application number: **06221942**

(71)Applicant:

ALPS ELECTRIC CO LTD(22)Date of filing: **16.09.1994**

(72)Inventor:

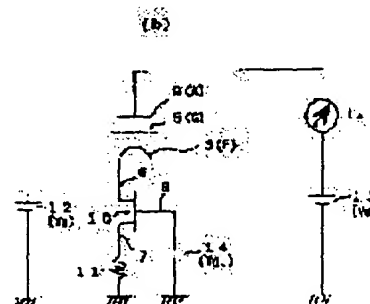
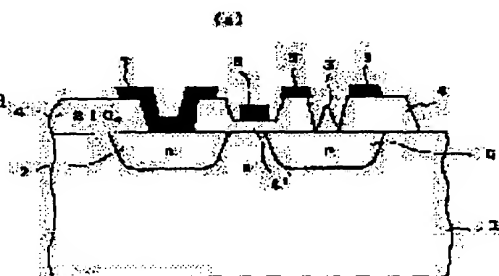
**ONO SHOICHI
YOKOO KUNIYOSHI
ARAI MANABU**

(54) FIELD EMISSION CATHODE DEVICE

(57)Abstract:

PURPOSE: To fix an emitter electron current emission amount of a field emission cathode element by using a constant current characteristic of a field effect transistor.

CONSTITUTION: A device comprises one or more field emission cathode elements constituted of a cone-shaped emitter 3 provided on a silicon substrate 1, insulating layer 4 arranged on the silicon substrate 1 to be provided so as to surround the cone-shaped emitter 3 and a gate layer 5 provided in a surface of the insulating layer 4 and a field effect transistor 10 formed on the silicon substrate 1 corresponding to the field emission cathode element. The emitter 3 of the field emission cathode element and a drain 6 of the field effect transistor 10 are connected in the silicon substrate 1, to control emitter electron current emission of the field emission cathode element by control voltage V_{gs} supplied across gate-source of the field effect transistor 10.



LEGAL STATUS

[Date of request for examination] 04.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-87957

(43) 公開日 平成8年(1996)4月2日

(51) Int. Cl.⁴

H 0 1 J 1/30

識別記号

庁内整理番号

F I

技術表示箇所

Z

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願平6-221942

(22) 出願日 平成6年(1994)9月16日

特許法第30条第1項適用申請有り 1994年3月28日、
(社) 応用物理学会発行の「1994年(平成6年)春季第
41回応用物理学関係連合講演会講演予稿集No. 2」に
発表

(71) 出願人 000010098

アルプス電気株式会社

東京都大田区雪谷大塚町1番7号

(72) 発明者 小野 昭一

宮城県仙台市青葉区柏木二丁目4番地55

(72) 発明者 横尾 邦義

宮城県仙台市太白区八木山本町二丁目23番
6

(72) 発明者 新井 孝

宮城県仙台市太白区松ヶ丘2番地17

(74) 代理人 弁理士 武 顕次郎 (外2名)

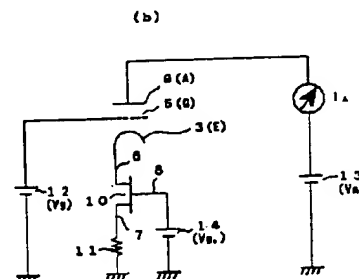
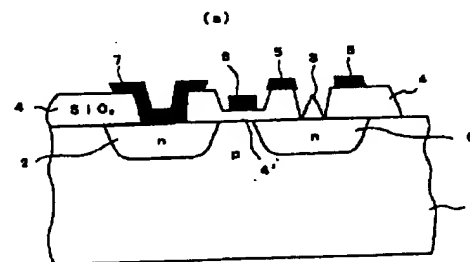
(54) 【発明の名称】 電界放射陰極装置

(57) 【要約】

【目的】 電界放射陰極素子のエミッタ電子流放射量を
電界効果トランジスタ10の定電流特性を用いて一定化
させる電界放射陰極装置を提供する。

【構成】 シリコン基板1上に設けられた円錐形エミッ
タ3と、シリコン基板1上に配置され、円錐形エミッタ
3を取り囲むように設けられた絶縁層4と、絶縁層4の
表面に設けられたゲート層5とで構成された1つ以上の
電界放射陰極素子と、電界放射陰極素子に対応してシリ
コン基板1上に形成された電界効果トランジスタ10と
からなり、シリコン基板1内で電界放射陰極素子のエミ
ッタ3と電界効果トランジスタ10のドレイン6が接続
され、電界効果トランジスタ10のゲート・ソース間に
供給される制御電圧 V_g により、電界放射陰極素子の
エミッタ電子流放射が制御される。

【図1】



【特許請求の範囲】

【請求項1】 シリコン基板上に設けられた円錐形エミッタと、前記シリコン基板上に配置され、前記円錐形エミッタを取り囲むように設けられた絶縁層と、前記絶縁層の表面に設けられたゲート層とで構成された1つ以上の電界放射陰極素子と、前記電界放射陰極素子に対応して前記シリコン基板上に形成された電界効果トランジスタとからなり、前記シリコン基板内で前記電界放射陰極素子のエミッタと前記電界効果トランジスタのドレインが接続され、前記電界効果トランジスタのゲート・ソース間に供給される制御電圧により、前記電界放射陰極素子のエミッタ電子流放射が制御されることを特徴とする電界放射陰極装置。

【請求項2】 シリコン基板上に設けられた円錐形エミッタと、前記シリコン基板上に配置され、前記円錐形エミッタを取り囲むように設けられた絶縁層と、前記絶縁層の表面に設けられたゲート層とで構成された複数の電界放射陰極素子と、前記各電界放射陰極素子に対応して前記シリコン基板上に形成された複数の電界効果トランジスタとからなり、前記シリコン基板内で前記各電界放射陰極素子のエミッタと対応する電界効果トランジスタのドレインがそれぞれ接続され、これら電界放射陰極素子及び電界効果トランジスタがシリコン基板上で行及び列を形成するように構成配列され、前記列方向に配列された複数の電界効果トランジスタのゲートは列毎に共通のゲートラインに、前記行方向に配列された複数の電界効果トランジスタのソースは行毎に共通のソースラインにそれぞれ接続され、各ゲートラインと各ソースライン間に供給される制御電圧によって各別の電界放射陰極素子のアドレッシングが行われることを特徴とする電界放射陰極装置。

【請求項3】 前記電界放射陰極素子に対応してエミッタ電子流放射を受領するアノードを設けるとともに、前記電界放射陰極素子及びアノードを真空雰囲気内に配置したことを特徴とする請求項1乃至2のいずれかに記載の電界放射陰極装置。

【請求項4】 前記各別の電界放射陰極素子のアドレッシングが行われる際に、それぞれの電界放射陰極素子のエミッタ電子流放射量を測定し、得られたエミッタ電子流放射量と基準値とを比較してそれぞれの電界放射陰極素子のエミッタ電子流放射量の偏差値を求め、この偏差値をそれぞれの電界放射陰極素子に対応させてメモリに記憶し、次回、それぞれの電界放射陰極素子のアドレッシングが行われる際に、前記メモリに記憶されている当該電界放射陰極素子の偏差値を読み出し、読み出した偏差値を当該電界放射陰極素子に帰還させることにより、全ての電界放射陰極素子のエミッタ電子流放射量をアドレッシングが行われる際にそれぞれに定めた所要のエミッタ電子流放射量と略等しくすることを特徴とする請求項2に記載の電界放射陰極装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電界放射陰極装置に係わり、特に、シリコン基板上に設けた円錐形エミッタを有する電界放射陰極素子のエミッタ電子流放射を、同じシリコン基板上に形成した電界効果トランジスタ（以下、これをFETという）によって制御するようにした電界放射陰極装置に関する。

【0002】

10 【従来の技術】シリコン基板上に設けられた円錐形エミッタと、このシリコン基板上に配置され、円錐形エミッタを取り囲むように設けられた絶縁層と、この絶縁層の表面に設けられたゲート層と、円錐形エミッタに対応して設けられたアノードとを有し、これらが真空容器内に封入された構成の素子は、電界放射陰極素子として既に知られているものである。

20 【0003】かかる既知の電界放射陰極素子は、通常、共通のシリコン基板上に、多数が行及び列方向に並んだアレイ状に配置されているもので、これら多数の電界放射陰極素子は、共通のシリコン基板とともに共通の真空容器内に封入されている。この場合、それぞれの電界放射陰極素子は、例えば、1立方ミクロン程度の大きさの微少真空管（3極管）を構成してもので、これらの電界放射陰極素子の多数が共通のシリコン基板上において真空集積回路をなすように集積化され、全体として電界放射陰極装置が構成されている。

30 【0004】このような電界放射陰極装置は、比較的最近に用いられるようになったもので、例えば、フラットディスプレイ装置の表示面や、集積回路（IC）の代替物として、例えば、ミサイルの誘導部のように、高温度に曝される部分に集積回路が用いられている場合、または、例えば、原子炉内のように、強い放射線に曝される部分に集積回路が用いられている場合、前述の各集積回路に代わり、この電界放射陰極装置が用いられるものである。

40 【0005】ここで、図5は、前記既知の電界放射陰極装置を構成する電界放射陰極素子の構成の一例を示すもので、（a）は電界放射陰極素子を形成しているシリコン基板の一部の断面図、（b）は電界放射陰極素子の電氣的等価回路を示す回路構成図である。

【0006】図5（a）、（b）において、31はシリコン基板、32は円錐形エミッタ（E）、33は絶縁層、34はゲート層（G）、35はアノード、36はエミッタ抵抗（抵抗値R）、37はゲート制御電圧源（電圧値Vg）、38はアノード電圧源（電圧値Va）である。

50 【0007】図5（a）に示されるように、シリコン基板31上には、略円錐形状の複数のエミッタ32が設けられ、これらエミッタ32の周囲にシリコン酸化物、例えば、2酸化シリコン（SiO₂）等からなる絶縁層3

3

3が設けられる。この絶縁層33上には、高融点金属導電材料からなるゲート層34が設けられる。この場合、図5(a)に図示されていないが、例えば、エミッタ32に対面した位置にアノード35が配置され、同じく、図5(a)に図示されていないが、シリコン基板31やアノード35等は共通の真空容器内に封入され、全体として真空集積回路型の電界放射陰極装置が構成される。

【0008】また、図5(b)に示されるように、各電界放射陰極素子は、アノード(A)35、ゲート(G)34、エミッタ(E)32を備えた3極管を構成している。アノード(A)35はアノード電圧 V_a を発生するアノード電圧源38に接続され、ゲート(G)34はゲート制御電圧 V_g を発生するゲート制御電圧源37に接続され、エミッタ(E)32はエミッタ抵抗36を介して接地接続される。

【0009】前記構成において、それぞれの電界放射陰極素子は、通常の加熱型陰極と異なり、アノード35に所定のアノード電圧 V_a を印加し、ゲート34にゲート制御電圧 V_g を印加すれば、エミッタ32を加熱することなく、エミッタ32からエミッタ電子流放射が行われる。このエミッタ電子流放射量は、ゲート34に印加されるゲート制御電圧 V_g によって制御され、アノード35に供給される。このとき、アノード35には、エミッタ電子流放射量に対応したアノード電流(電流値 I_a)が流れる。また、エミッタ抵抗36は、安定化用、即ち、それぞれの電界放射陰極素子のエミッタ32から放射されるエミッタ電子流放射量のバラツキを少なくするもので、例えば、1M Ω 程度の抵抗値の抵抗が用いられる。

【0010】

【発明が解決しようとする課題】前記既知の電界放射陰極装置は、これまでの集積回路に比べて、動作速度を著しく高くできる、高温や強放射線状態等の環境下でも使用可能であるという利点を有している。

【0011】しかしながら、電界放射陰極装置を構成している電界放射陰極素子自体について見れば、エミッタ電子流放射量が経時的に変動する、高いゲート制御電圧、例えば、80V程度の電圧 V_g を必要とし、スイッチング動作時に大振幅のスパイクノイズが発生する等の問題があり、また、通常、多数の電界放射陰極素子によって構成されている電界放射陰極装置について見れば、それぞれの電界放射陰極素子からのエミッタ電子流放射量が不均一になっており、しかも、1つの電界放射陰極素子が短絡故障を生じると、全体の電界放射陰極素子の破壊につながる等の問題がある。

【0012】この場合、図5(b)に示されるように、それぞれの電界放射陰極素子のエミッタ32にエミッタ抵抗36が接続されているが、このようなエミッタ抵抗36の接続によっても、前記問題点を一部軽減させることはできても、それらを除去することはできない。

4

【0013】本発明は、これらの問題点を全面的に除去するものであって、その主たる目的は、電界放射陰極素子のエミッタ電子流放射量を電界効果トランジスタ(FET)の定電流特性を用いて一定化させる電界放射陰極装置を提供することにある。

【0014】また、本発明の付加的な目的は、各電界放射陰極素子のエミッタ電子流放射量における通常の放射量からの偏差値を得、この偏差値で各電界放射陰極素子のエミッタ電子流放射量を一定にする電界放射陰極装置を提供することにある。

【0015】

【課題を解決するための手段】前記主たる目的の達成のために、本発明は、シリコン基板上に設けられた円錐形エミッタと、前記シリコン基板上に配置され、前記円錐形エミッタを取り囲むように設けられた絶縁層と、前記絶縁層の表面に設けられたゲート層とで構成された1つ以上の電界放射陰極素子と、前記電界放射陰極素子に対応して前記シリコン基板上に形成された電界効果トランジスタ(FET)とからなり、前記シリコン基板内で前記電界放射陰極素子のエミッタと前記電界効果トランジスタ(FET)のドレインが接続され、前記電界効果トランジスタ(FET)のゲート・ソース間に供給される制御電圧により、前記電界放射陰極素子のエミッタ電子流放射が制御される第1の手段を備える。

【0016】また、前記主たる達成のために、本発明は、シリコン基板上に設けられた円錐形エミッタと、前記シリコン基板上に配置され、前記円錐形エミッタを取り囲むように設けられた絶縁層と、前記絶縁層の表面に設けられたゲート層とで構成された複数の電界放射陰極素子と、前記各電界放射陰極素子に対応して前記シリコン基板上に形成された複数の電界効果トランジスタ(FET)とからなり、前記シリコン基板内で前記各電界放射陰極素子のエミッタと対応する電界効果トランジスタ(FET)のドレインがそれぞれ接続され、これら電界放射陰極素子及び電界効果トランジスタ(FET)がシリコン基板上で行及び列を形成するように構成配列され、前記列方向に配列された複数の電界効果トランジスタ(FET)のゲートは列毎に共通のゲートラインに、前記行方向に配列された複数の電界効果トランジスタ(FET)のソースは行毎に共通のソースラインにそれぞれ接続され、各ゲートラインと各ソースライン間に供給される制御電圧によって各別の電界放射陰極素子のアドレッシングが行われる第2の手段を備える。

【0017】さらに、前記付加的な目的の達成のために、前記第2の手段における各別の電界放射陰極素子のアドレッシングが行われる際に、それぞれの電界放射陰極素子のエミッタ電子流放射量を測定し、得られたエミッタ電子流放射量と基準値とを比較してそれぞれの電界放射陰極素子のエミッタ電子流放射量の偏差値を求め、この偏差値をそれぞれの電界放射陰極素子に対応させて

メモリに記憶し、次回、それぞれの電界放射陰極素子のアドレッシングが行われる際に、前記メモリに記憶されている当該電界放射陰極素子の偏差値を読み出し、読み出した偏差値を当該電界放射陰極素子に帰還させることにより、全ての電界放射陰極素子のエミッタ電子流放射量をアドレッシングが行われる際にそれぞれに定めた所要のエミッタ電子流放射量と略等しくする第3の手段を備える。

【0018】

【作用】前記第1の手段においては、電界放射陰極素子のエミッタと接地間にFETのドレイン・ソース経路を接続し、このFETのゲート・ソース間にゲート制御電圧を供給しているので、電界放射陰極素子のエミッタに定電流特性を有するFETが接続された形になり、電界放射陰極素子のエミッタ電子流放射量はFETの定電流特性で決まる一定化された量になり、その量はFETの定電流特性、即ち、FETに印加されるゲート制御電圧で決まるものである。

【0019】このように、前記第1の手段によれば、電界放射陰極素子のエミッタ電子流放射量が一定化されるので、エミッタ電子流放射量の経時的変動が生じ難くなり、しかも、電界放射陰極素子のエミッタ電子流放射量がきわめて小さいゲート制御電圧、例えば、1乃至2V程度の電圧により一定になるように制御できるようになり、勿論、スイッチング動作時にスパイクノイズが発生することもない。

【0020】また、前記第2の手段においては、複数の電界放射陰極素子のエミッタと接地間にそれぞれ対応するFETのドレイン・ソース経路を接続するとともに、それぞれ複数の電界放射陰極素子と対応するFETをシリコン基板上で行及び列を形成するように構成配列し、列方向に配列された複数のFETのゲートは列毎に共通のゲートラインに、行方向に配列された複数のFETのソースは行毎に共通のソースラインにそれぞれ接続し、各ゲートラインと各ソースライン間に供給される制御電圧によって各別の電界放射陰極素子のアドレッシングを行っているので、複数の電界放射陰極素子のエミッタにそれぞれ定電流特性を有するFETが接続された形になり、複数の電界放射陰極素子のエミッタ電子流放射量は対応するFETの定電流特性で決まる一定化された量になるとともに、電界放射陰極素子のアドレッシングにより、所要の電界放射陰極素子のエミッタ電子流放射量が制御できるようになる。

【0021】このように、前記第2の手段によれば、前記第1の手段で達成される作用が期待できる他に、それぞれの電界放射陰極素子のアドレッシング時に、各ゲートラインと各ソースライン間に供給される制御電圧を選択することによって、所要の電界放射陰極素子のエミッタ電子流放射量を各別に制御することが可能になる。

【0022】さらに、前記第3の手段においては、それ

ぞれの電界放射陰極素子のアドレッシング時に、これら電界放射陰極素子のエミッタ電子流放射量を測定し、得られたエミッタ電子流放射量と基準値とを比較してそれぞれの電界放射陰極素子のエミッタ電子流放射量の偏差値を求め、求めた偏差値をそれぞれの電界放射陰極素子に対応させてメモリに記憶し、次回、それぞれの電界放射陰極素子のアドレッシング時に、前記メモリに記憶されている当該電界放射陰極素子の偏差値を読み出し、読み出した偏差値を当該電界放射陰極素子に帰還させるようにしている。

【0023】このように、前記第3の手段によれば、前記第2の手段で達成される作用が期待できる他に、それぞれの電界放射陰極素子のアドレッシング時に、既にメモリに記憶されている当該電界放射陰極素子におけるエミッタ電子流放射量の基準値からの偏差値を読み出し、読み出した偏差値を当該電界放射陰極素子に帰還させ、電界放射陰極素子のエミッタ電子流放射量を制御することによって、全ての電界放射陰極素子のエミッタ電子流放射量をアドレッシング時にそれぞれ定めた所要のエミッタ電子流放射量と略等しくできるものである。

【0024】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

【0025】図1は、本発明に係わる電界放射陰極装置の第1の実施例を示す構成図であって、(a)は1つの電界放射陰極素子及びFETが構成されているシリコン基板の一部の断面図、(b)は電界放射陰極素子を含む部分の電気的等価回路を示す回路構成図である。

【0026】図1(a)、(b)において、1はp型シリコン基板、2はFET10のソースとなる第1のn型層、3は電界放射陰極素子の円錐形エミッタ、4は絶縁層、4'は電界放射陰極素子のゲート絶縁層、5は電界放射陰極素子のゲート層、6はFET10のドレインとなる第2のn型層、7はFET10のソース電極、8はFET10のゲート電極、9は電界放射陰極素子のアノード、10は電界効果トランジスタ(FET)、11はソース抵抗、12はゲート電圧源(電圧値Vg)、13はアノード電圧源(電圧値Va)、14はゲート・ソース間制御電圧源(電圧値Vgs)である。

【0027】そして、図1(a)に示されるように、p型シリコン基板1の一方の主表面には複数、図示の例では第1及び第2のn型層2、6が形成され、第2のn型層6の表面には円錐形エミッタ3が設けられる。第1及び第2のn型層2、6の表面や露出したp型シリコン基板1の表面には、シリコン酸化物、例えば、2酸化シリコン(SiO₂)等からなる絶縁層4及びゲート絶縁層4'が設けられる。ここで、ゲート絶縁層4'は、第1のn型層2及び第2のn型層6の各一部の表面上、それに第1のn型層2と第2のn型層6との間の露出したp型シリコン基板1の表面上にそれぞれ設けられており、

絶縁層4は、第1のn型層2及び第2のn型層6の各一部の表面上と、それに連なる露出したp型シリコン基板1の表面上にそれぞれ設けられる。第1のn型層2上には、絶縁層4とゲート絶縁層4'との間に第1のn型層2の表面に達する開口が設けられ、第2のn型層6上には、絶縁層4とゲート絶縁層4'との間に円錐形エミッタ3が立設されている。このゲート絶縁層4'は、第1のn型層2と第2のn型層6との間の露出したp型シリコン基板1の表面上の部分が他の部分より肉薄になるように構成され、ゲート絶縁層4'の肉薄部分上にはゲート電極8が設けられる。また、絶縁層4の端部から第1のn型層2の表面に達する開口を経てゲート絶縁層4'の肉厚部分に達するようにソース電極7が設けられ、円錐形エミッタ3が立設されている周囲のゲート絶縁層4'の肉厚部分及び絶縁層4の端部にはゲート層5が設けられる。

【0028】この場合、円錐形エミッタ3、エミッタ3の周囲を取り囲む絶縁層4、絶縁層4の第1の開口上側にあるゲート層5からなる構成部分は、1つの電界放射陰極素子を構成しており、電界放射陰極素子の構成部分以外のp型シリコン基板1、第1及び第2のn型層2、6、ゲート絶縁層4'、ソース電極7、ゲート電極8に関連する構成部分は、1つのFET10を構成している。なお、図1(a)に図示されていないが、例えば、エミッタ3に対面した位置にアノード9が配置され、同じく、図1(a)に図示されていないが、p型シリコン基板1やアノード9等は共通の真空容器内に封入され、全体として真空集積回路型の電界放射陰極装置が構成される。

【0029】また、図1(b)に示されるように、電界放射陰極素子は、アノード(A)9、ゲート(G)5、エミッタ(E)3を備えた3極管を構成し、エミッタ(E)3と接地間にFET10のドレイン・ソース経路と、ソース抵抗11が直列接続される。この3極管において、アノード(A)9はアノード電圧 V_a を発生するアノード電圧源13接続され、ゲート(G)5は固定のゲート電圧 V_g を発生するゲート電圧源12に接続される。FET10において、ゲート8は可変のゲート・ソース間制御電圧 V_{gs} を発生するゲート・ソース間制御電圧源14に接続される。

【0030】前記構成による電界放射陰極装置は、次のように動作する。

【0031】この電界放射陰極装置に用いられる電界放射陰極素子は、前述の既知の電界放射陰極装置に用いられる電界放射陰極素子と同様に、アノード9に所定のアノード電圧 V_a を、ゲート5に固定のゲート電圧 V_g をそれぞれ印加し、FET10のゲート8に所要の値のゲート・ソース間制御電圧 V_{gs} を印加すれば、エミッタ3を加熱することなく、エミッタ3からエミッタ電子流放射が行われる。この場合、電界放射陰極素子のエミッタ電子流放射量は、ゲート5に印加される固定のゲート電圧 V_g によって制御されるものではなく、電界放射陰極素子のエミッタ3に接続されるFET10のゲート8に印加の可変のゲート・ソース間制御電圧 V_{gs} によって制御される。即ち、FET10は、そのゲート8に印加されるゲート・ソース間制御電圧 V_{gs} を適宜選択した場合、定電流領域で動作するようになる、いわゆる、定電流特性を示すものであって、電界放射陰極素子のエミッタ3に定電流特性を示すFET10を接続した場合に、電界放射陰極素子のエミッタ電子流放射量は、FET10の定電流特性によって決まるものである。エミッタ3から放射された電子流はアノード9に供給され、アノード9にはエミッタ電子流放射量に対応したアノード電流(電流値 I_a)が流れる。

【0032】ここで、図2は、本実施例の電界放射陰極素子においてFET10のゲート・ソース間制御電圧 V_{gs} を変化させた場合のエミッタ電子流放射量、即ち、アノード電流 I_a の変化状態を示す特性図であり、図3は、本実施例の電界放射陰極素子のエミッタ電子流放射量における時間的変動の一例を示す特性図で、図5(b)に図示の既知の電界放射陰極素子のエミッタ電子流放射量における時間的変動の一例と対比させたものである。

【0033】図2において、縦軸はエミッタ電子流放射量(アノード電流) I_a 、横軸はFET10のゲート・ソース間制御電圧 V_{gs} であって、ゲート5にゲート電圧 V_g として80Vが印加された場合の特性を示すものである。

【0034】また、図3において、縦軸はエミッタ電子流放射量(アノード電流) I_a 、横軸は時間(min)であって、上側の特性①は本実施例の電界放射陰極素子のエミッタ電子流放射量、下側の特性②は既知の電界放射陰極素子のエミッタ電子流放射量を示すものである。

【0035】図2に図示されるように、FET10のゲート・ソース間制御電圧 V_{gs} が約1.6V以下のときには、エミッタ電子流放射量 I_a が殆んど流れない状態にあるが、ゲート・ソース間制御電圧 V_{gs} が約1.6Vを超えたときには、エミッタ電子流放射量 I_a がゲート・ソース間制御電圧 V_{gs} の増大に伴って急激に増大するようになり、このゲート・ソース間制御電圧 V_{gs} を選択することによって、電界放射陰極素子のエミッタ電子流放射量を制御することが可能になる。

【0036】そして、前述のように、ゲート・ソース間制御電圧 V_{gs} を適宜選択し、FET10を定電流領域で動作させるようにすれば、図3の特性①に示されるように、時間の経過にも係わらず、電界放射陰極素子のエミッタ電子流放射量は、FET10の定電流特性で決まる一定化された量になる。ちなみに、FET10を接続する代わりに、エミッタ抵抗36を接続している既知の電界放射陰極素子においては、図3の特性②に示される

ように、経時変化の影響が各所に表われ、電界放射陰極素子のエミッタ電子流放射量は、常時、微細な変動をしているものである。

【0037】このように、本実施例によれば、電界放射陰極素子のエミッタ電子流放射量が一定化されるので、エミッタ電子流放射量は経時変化の影響を受けることがなくなり、常時、一定のエミッタ電子流放射量を有する電界放射陰極素子を得ることができる。

【0038】また、本実施例によれば、電界放射陰極素子のエミッタ電子流放射量を制御する場合に、FET10のゲート・ソース間制御電圧 V_{gs} によって制御しているので、きわめて小さい制御電圧、例えば、1乃至2V程度の制御電圧を用意すれば足り、しかも、電界放射陰極素子のスイッチング動作時にスパイクノイズが発生することがない。

【0039】次いで、図4は、本発明に係わる電界放射陰極装置の第2の実施例を示す概要構成図であって、図1(a)、(b)に図示の構成を有する多数の電界放射陰極素子及びFET10を、p型シリコン基板1上において行及び列を形成するように構成配列させたものである。

【0040】図4において、10-11、…、10-13、…、10-33はFET構成部、15-11、…、15-13、…、15-33は電界放射陰極素子構成部、16-1、…、16-3はソースライン、17-1、…、17-3はゲートラインである。

【0041】そして、p型シリコン基板1上で、電界放射陰極素子構成部15-11、…、15-13、…、15-33と、FET10を構成している多数のFET構成部10-11、…、10-13、…、10-33とは、対応して行及び列を形成するように構成配列されている。これら電界放射陰極素子構成部15-11、…、15-13、…、15-33及びFET構成部10-11、…、10-13、…、10-33における各行方向の配列に平行してそれぞれソースライン16-1、…、16-3が隣接配置され、これら電界放射陰極素子構成部15-11、…、15-13、…、15-33及びFET構成部10-11、…、10-13、…、10-33における各列方向の配列に平行してそれぞれゲートライン17、…、17-3が隣接配置される。各FET構成部10-11、…、10-13、…、10-33において、第1行のFET構成部10-11、…、10-13にある各FET10のソース7は隣接配置された第1行のソースライン16-1に接続され、第2行のFET構成部10-21、…、10-23にある各FET10のソース7は隣接配置された第2行のソースライン16-2に接続され、第3行のFET構成部10-3

1、…、10-33にある各FET10のソース7は隣接配置された第3行のソースライン16-3に接続される。一方、第1列のFET構成部10-11、…、10-31にある各FET10のゲート8は隣接配置された第1列のゲートライン17-1に接続され、第2列のFET構成部10-12、…、10-32にある各FET10のゲート8は隣接配置された第2行のゲートライン17-2に接続され、第3行のFET構成部10-13、…、10-33にある各FET10のゲート8は隣接配置された第3列のゲートライン17-3に接続される。なお、図4に図示されていないが、各電界放射陰極素子構成部15-11、…、15-13、…、15-33の電界放射陰極素子のエミッタ3に対応した位置にそれぞれアノード9が配置され、また、共通のp型シリコン基板1とこれらアノード9等は共通の真空容器内に封入され、全体として真空集積回路型の電界放射陰極装置が構成される。

【0042】この場合、各行のソースライン16-1、…、16-3に順次ソース選択信号が、また、各列のゲートライン17-1、…、17-3に順次ゲート選択信号がそれぞれ供給され、これらソースライン16-1、…、16-3及びゲートライン17-1、…、17-3の各交点に配置されている電界放射陰極素子構成部15-11、…、15-13、…、15-33及びFET構成部10-11、…、10-13、…、10-33は、対応するソースライン16-1、…、16-3及びゲートライン17-1、…、17-3の双方に同時にソース選択信号及びゲート選択信号が供給されたときにアドレッシングされ、能動状態になるものである。例えば、電界放射陰極素子構成部15-11及びFET構成部10-11は、ソースライン16-1にソース選択信号が、ゲートライン17-1にゲート選択信号が同一のタイミングで供給されたときだけアドレッシングされ、一方、電界放射陰極素子構成部15-33及びFET構成部10-33は、ソースライン16-3にソース選択信号が、ゲートライン17-3にゲート選択信号が同一のタイミングで供給されたときだけアドレッシングされるものである。

【0043】前記構成による電界放射陰極装置は、次のように動作する。

【0044】各電界放射陰極素子構成部15-11、…、15-13、…、15-33及びFET構成部10-11、…、10-13、…、10-33においては、各電界放射陰極素子のエミッタ3に対応するFET10のドレイン・ソース経路が接続された構成を有しているので、これらFET10に印加されるゲート・ソース間制御電圧 V_{gs} を適宜選択することにより、各FET10を定電流特性を示す状態で動作させることが可能になり、各電界放射陰極素子のエミッタ電子

流放射量を、そのFET10の定電流特性で決めることができる。

【0045】この場合、本実施例において、それぞれの電界放射陰極素子のエミッタ電子流放射が行われるのは、この電界放射陰極素子を備える電界放射陰極素子構成部及びFET構成部がアドレッシングされたとき、例えば、この電界放射陰極素子が電界放射陰極素子構成部15-11を備えられるものであるとすれば、電界放射陰極素子構成部15-11とそれに対応するFET構成部10-11がアドレッシングされたとき、即ち、ソースライン16-1にソース選択信号、ゲートライン17-1もゲート選択信号が同一タイミングで供給されたときである。そして、このソース選択信号及びゲート選択信号は、FET構成部10-11にあるFET10のソース7及びゲート8に供給され、それによって、このFET10が定電流特性を呈するように駆動され、このFET10に接続された電界放射陰極素子のエミッタ3からエミッタ電子流が放射されるものである。また、かかる動作は、電界放射陰極素子構成部15-11とFET構成部10-11の組み合わせがアドレッシングされたときだけでなく、他の電界放射陰極素子構成部及びFET構成部の組み合わせがアドレッシングされたときも全く同様の動作が行われる。そして、それぞれの電界放射陰極素子構成部及びFET構成部の組み合わせをアドレッシングする際に、同一タイミングで供給されるソース選択信号とゲート選択信号のレベルを各別に適宜選択するようにすれば、それぞれの電界放射陰極素子構成部及びFET構成部の組み合わせ毎に、電界放射陰極素子のエミッタ電子流放射量を制御することが可能になる。

【0046】このように、本実施例によれば、各電界放射陰極素子のエミッタにそれぞれ定電流特性を有するFETが接続されるので、前記第1の実施例で期待できる効果が同様に期待できる他に、それぞれの電界放射陰極素子のアドレッシング時に、ソース選択信号とゲート選択信号の各電圧レベルを選択することにより、所要の電界放射陰極素子のエミッタ電子流放射量を各別に制御することが可能になる。

【0047】また、この第2の実施例の電界放射陰極装置は、図4に図示されていないが、検出部と演算制御部とメモリとを新たに付加し、以下に述べるような機能を達成させるように構成変更することができる。

【0048】即ち、当初に所定のエミッタ電子流放射量の基準値を作成し、それぞれの電界放射陰極素子が一定のゲート・ソース間制御電圧 V_{gs} でアドレッシングされた際等において、検出部がそれぞれの電界放射陰極素子のエミッタ電子流放射量をアノード電流値 I_a の形で読取り、演算制御部がこの読み取ったエミッタ電子流放射量（アノード電流値 I_a ）と先に作成したエミッタ電子流放射量の基準値とを比較してその偏差値を求め、これらの偏差値をメモリに記憶させる。その後、それぞれ

の電界放射陰極素子がアドレッシングされる際に、演算制御部がアドレッシングされる電界放射陰極素子に対応した偏差値をメモリから読み出し、この読み出した偏差値を含んだ電圧、例えば、ゲート電圧 V_g を発生させ、このゲート電圧 V_g を当該電界放射陰極素子のゲート5に帰還させるようにすれば、当該電界放射陰極素子のエミッタ電子流放射量が他の電界放射陰極素子のエミッタ電子流放射量と略同一になり、それにより、全ての電界放射陰極素子のエミッタ電子流放射量を略一定化させることができる。

【0049】これにより、以後、それぞれの電界放射陰極素子がそれぞれ所定のエミッタ電子流放射量となるようにアドレッシングされる際には、所定のエミッタ電子流放射量の基準値に対応したゲート・ソース間制御電圧 V_{gs} を選択することにより、エミッタ電子流放射量をそれぞれ所定の値に各別に制御することが可能になる。

【0050】

【発明の効果】以上説明したように、請求項1に記載の発明においては、電界放射陰極素子のエミッタ3と接地間にFET10のドレイン・ソース経路を接続し、FET10のゲート・ソース間にゲート制御電圧 V_{gs} を供給している。

【0051】このため、請求項1に記載の発明によれば、電界放射陰極素子のエミッタ3に定電流特性を有するFET10が接続された形になり、電界放射陰極素子のエミッタ電子流放射量はFET10の定電流特性で決まる一定の量になるので、エミッタ電子流放射量の経時的変動が生じ難くなるという効果があり、しかも、電界放射陰極素子のエミッタ電子流放射量がきわめて小さいゲート制御電圧、例えば、1乃至2V程度の電圧により一定になるように制御できるために、スイッチング動作時にスパイクノイズが発生しないという効果がある。

【0052】また、請求項2に記載の発明においては、複数の電界放射陰極素子のエミッタ3と接地間にそれぞれ対応するFET10のドレイン・ソース経路を接続するとともに、それぞれ複数の電界放射陰極素子と対応するFET10をシリコン基板1上で行及び列を形成するように構成配列し、行方向に配列された複数のFET10のソース7は行毎にソースライン16-1乃至16-3に、列方向に配列された複数のFET10のゲート8は列毎にゲートライン17-1乃至17-3にそれぞれ接続し、各ソースライン16-1乃至16-3と各ソースライン17-1乃至17-3間に供給されるゲート制御電圧 V_{gs} によって各別の電界放射陰極素子のアドレッシングを行っている。

【0053】このため、請求項2に記載の発明によれば、複数の電界放射陰極素子のエミッタ3にそれぞれ定電流特性を有するFET10が接続された形になり、複数の電界放射陰極素子のエミッタ電子流放射量は対応するFET10の定電流特性で決まる一定の量になって、

10

20

30

40

50

請求項1に記載の発明と同等の効果が得られる他に、電界放射陰極素子のアドレッシングを行う際に、各ソースライン16-1乃至16-3と各ゲートライン17-1乃至17-3間に供給されるソース選択信号とゲート選択信号を選択することにより、所要の電界放射陰極素子のエミッタ電子流放射量を各別に制御できるという効果がある。

【0054】さらに、請求項4に記載の発明においては、それぞれの電界放射陰極素子のアドレッシング時に、これら電界放射陰極素子のエミッタ電子流放射量を測定し、得られたエミッタ電子流放射量と基準値とを比較してそれぞれの電界放射陰極素子のエミッタ電子流放射量の偏差値を求め、求めた偏差値をそれぞれの電界放射陰極素子にメモリに記憶し、次回、それぞれの電界放射陰極素子のアドレッシング時に、メモリに記憶されている当該電界放射陰極素子の偏差値を読み出し、読み出した偏差値を当該電界放射陰極素子に帰還させるようにしている。

【0055】このため、請求項4に記載の発明によれば、請求項2に記載の発明と同等の効果が得られる他に、読み出した偏差値の帰還により電界放射陰極素子のエミッタ電子流放射量を制御することにより、全ての電界放射陰極素子のエミッタ電子流放射量をアドレッシング時にそれぞれに定めた所定のエミッタ電子流放射量と略等しくさせることができるという効果がある。

【図面の簡単な説明】

【図1】本発明に係わる電界放射陰極装置の第1の実施例を示す構成図である。

【図2】図1に図示の電界放射陰極素子におけるFETのゲート・ソース間制御電圧とエミッタ電子流放射量と*30

*の関係を示す特性図である。

【図3】図1に図示の電界放射陰極素子におけるエミッタ電子流放射量の時間的変動の一例を示す特性図である。

【図4】本発明に係わる電界放射陰極装置の第2の実施例を示す概要構成図である。

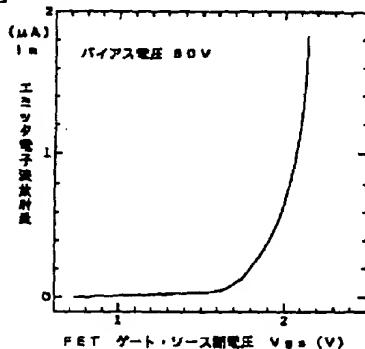
【図5】既知の電界放射陰極装置を構成する電界放射陰極素子の一例を示す構成図である。

【符号の説明】

- | | | |
|----|----------------------|------------------|
| 10 | 1 | p型シリコン基板 |
| | 2 | 第1のn型層(FETのソース) |
| | 3 | 円錐形エミッタ |
| | 4 | 絶縁層 |
| | 4' | ゲート絶縁層 |
| | 5 | ゲート層 |
| | 6 | 第2のn型層(FETのドレイン) |
| | 7 | ソース(電極) |
| | 8 | ゲート(電極) |
| | 9 | アノード |
| 20 | 10 | 電界効果トランジスタ(FET) |
| | 10-11,, 10-33 | FET構成部 |
| | 11 | ソース抵抗 |
| | 12 | ゲート電圧源 |
| | 13 | アノード電圧源 |
| | 14 | ゲート・ソース間制御電圧源 |
| | 15-11,, 15-33 | 電界放射陰極素子構成部 |
| | 16-1,, 16-3 | ソースライン |
| | 17-1,, 17-3 | ゲートライン |

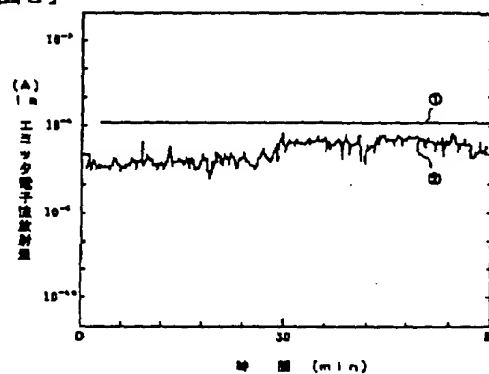
【図2】

【図2】



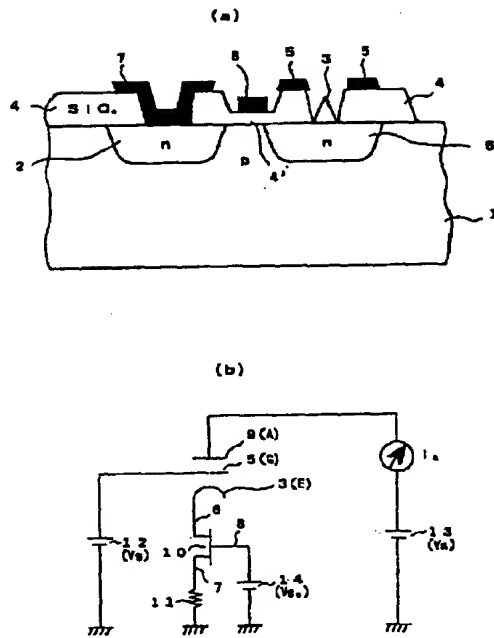
【図3】

【図3】



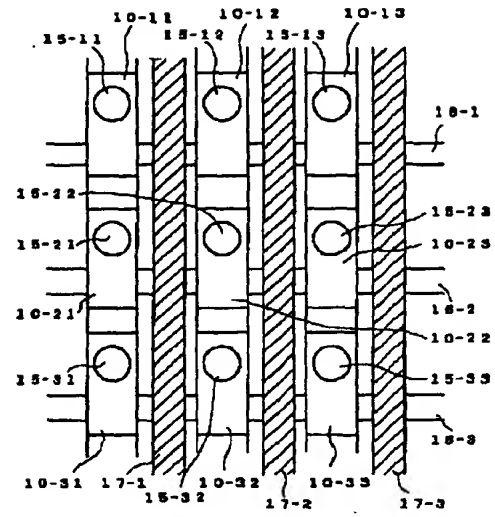
【図1】

【図1】



【図4】

【図4】



【図5】

【図5】

